



破壊的な FPGA プラットフォーム
イノベーションを加速します！

TITANIUMTM

Titanium FPGA

メインストリーム市場のための高性能デバイス

できるだけ多くの演算能力を数 mm² の中に詰め込むことが要求されています。エフィニクス (Efinix) の次世代 Titanium FPGA がそれを可能にします。Titanium FPGA は、16 nm プロセスで製造され、消費電力とダイサイズを極限まで小さくし、高性能化を実現しています。演算性能が強化された革新的な Quantum™ コンピューティング・ファブリックによる Titanium FPGA は組み込みハードウェア・アクセラレーション等のアプリケーションに最適です。3.5万 ~ 100万ロジック・エレメント (LE) をサポートし、エフィニクス RISC-V SoC との互換性により、アクセラレーション機能を用いる組み込み演算システムを非常に小さなチップの中に実装することができます。

Quantum コンピューティング・ファブリックは、コンフィギュラブルなタイル、XLR (eXchangeable Logic and Routing) セルで構成されており、高い使用効率を実現しながら、配線効率と速度を最適化します。また、様々な構

成で使用可能な 10K 内蔵メモリブロックと専用的高速 DSP ブロックも搭載されているので、エッジ・コンピューティングから産業用オートメーション、ビデオ処理まで、幅広いアプリケーションに最適なパフォーマンスを提供します。

16 nm プロセスノードを採用した Titanium FPGA は、低消費電力で小さなフットプリントを実現し、高集積アプリケーションに最適な製品です。



Ti35, Ti60

1.5 Gbps MIPI CSI, DSI をサポートし、低消費電力、小型パッケージ、多数の I/O を必要とする高度なモバイル、エッジデバイスなどのアプリケーション向けデバイス

- ・ モバイル、エッジ
- ・ AI IoT
- ・ センサーフュージョン
- ・ ビジョン、ディスプレイ

Ti90, Ti120, Ti170

2.5 Gbps MIPI インターフェイスを内蔵し、マルチカメラ、高精細ビジョンシステム、エッジ・コンピューティング、ハード・アクセラレーションなどのアプリケーション向けデバイス

- ・ ハイエンド ビジョン システム
- ・ エッジ・コンピューティング
- ・ ハード・アクセラレーション
- ・ 機械学習

Ti240, Ti375, Ti550

高度な演算、ロジック処理と産業用オートメーションなどに要求される演算能力とトランシーバを兼ね備えたデバイス

- ・ 産業用オートメーション
- ・ オートモーティブ
- ・ 適応型アクセラレーション
- ・ フォグ・コンピューティング

Ti750, Ti1000

最も要求の厳しいアプリケーションに必要な集積度とインターフェイスを備えた高性能プラットフォーム。

- ・ 通信ネットワーク
- ・ SmartNIC、PCI Express アクセラレータ・カード
- ・ FPGA-ベース サーバー
- ・ スマート ストレージ

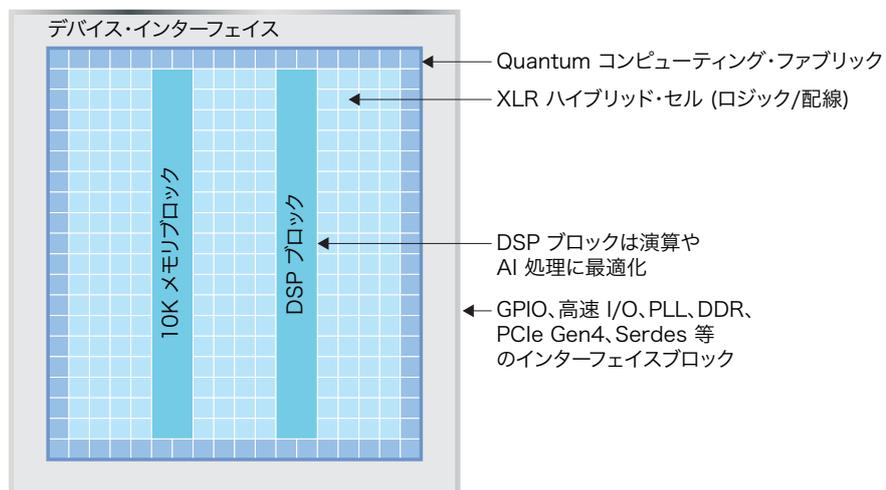
Titanium ラインナップとインターフェイス

機能	Ti35	Ti60	Ti90	Ti120	Ti170	Ti240	Ti375	Ti550	Ti750	Ti1000
ロジック・エレメント (LE)	36,176	62,016	89,812	119,750	169,646	236,888	370,137	533,174	727,056	969,408
10K メモリブロック (Mb)	1.53	2.62	7.34	9.8	12.62	19.37	27.53	39.65	54.07	72.09
DSP ブロック	93	160	359	478	616	946	1,344	1,936	2,640	3,520
PLLs	4	4	10	10	10	10	10	10	10	10
GPIO	34	34	80	80	80	80	80	80	80	80
高速 I/O	146	146	204	204	204	172	172	268	268	268
DDR4, LPDDR4, DDR3, DDR3L, LPDDR3	—	—	x32	x32	x32	x72	x72	2 x72	2 x72	2 x72
MIPI D-PHY コントローラ 2.5 Gbps	—	—	2 TX 2 RX	2 TX 2 RX	2 TX 2 RX	3 TX 3 RX				
16 Gbps Serdes	—	—	x8	x8	x8	x12	x12	x16	x16	x16
25.8 Gbps Serdes	—	—	—	—	—	—	—	x8	x8	x8
PCI Express Gen4 (16G)	—	—	1 Gen4x4	1 Gen4x4	1 Gen4x4	2 Gen4x4	2 Gen4x4	2 Gen4x8	2 Gen4x8	2 Gen4x8

Titanium パッケージ オプション

機能	Pitch (mm)	Size (mm)	Ti35	Ti60	Ti90	Ti120	Ti170	Ti240	Ti375	Ti550	Ti750	Ti1000
64ボール WLCSP	0.4	3.5x3.4		✓								
100ボール FBGA	0.5	5.5x5.5	✓	✓								
225ボール FBGA	0.5	8x8			✓	✓	✓					
225ボール FBGA	0.65	10x10	✓	✓	✓	✓	✓					
324ボール FBGA	0.65	12x12			✓	✓	✓					
400ボール FBGA	0.8	16x16			✓	✓	✓					
484ボール FBGA	0.65	15x15			✓	✓	✓	✓	✓			
625ボール FBGA	0.65	17x17						✓	✓	✓	✓	
784ボール FBGA	0.8	23x23						✓	✓	✓	✓	✓
1,156ボール FBGA	1.0	35x35								✓	✓	✓

Titanium FPGA ブロック図



- ・ 16 nm プロセス
- ・ 低消費電力
- ・ 高性能
- ・ 小型ダイサイズ
- ・ Quantum コンピューティング・ファブリック

低電力、小さなダイサイズの Trion® FPGA

FPGA Trion® FPGA は、シンプルで使いやすく、低消費電力、開発を素早くこなすためにデザインされています。必要な機能を備えていますが、フル機能 FPGA のような総合的なアプローチとは異なります。そのため、不必要な機能をどう使っていくか考えるよりも、お客様の開発中の製品をより革新的なものにするために時間を使うことができます。

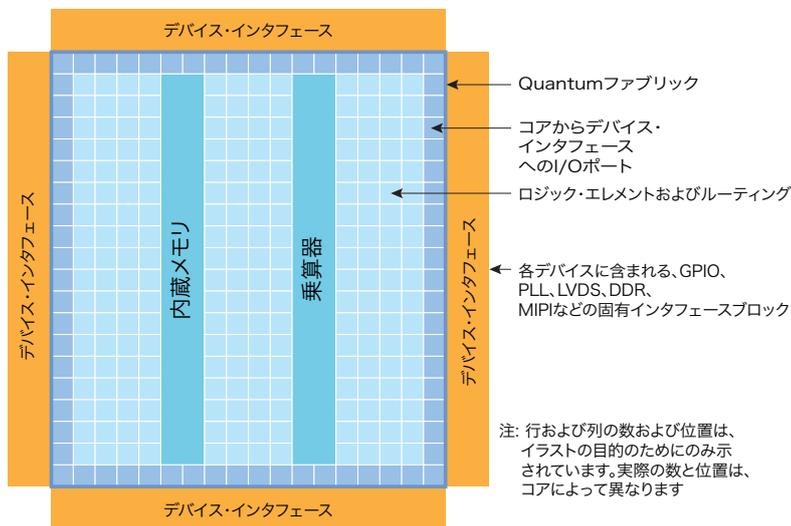
Trion FPGA は、Quantum™ テクノロジーにより構築されたプログラマブル・ロジックと配線ファブリックを備えています。「ファブリック」または「コア」には、内蔵メモリブロックと乗算器（または DSP）ブロックが含まれており、その周りには、I/O インターフェイスが配置され、モバイルや IoT などの多くの量産アプリケーションで必要とされる小型パッケージで提供されています。

Trion FPGA は、40 nm プロセスで製造され、4 千 ~ 12 万ロジック・エレメント (LE) で用意されています。また、GPIO、PLL、発振器、MIPI CSI-2、DDR DRAM、LVDS などのインターフェイスを装備しています。

標準 I/O インターフェイス

Trion FPGA は、一般的に使用される様々なインターフェイスをサポートしており、コアファブリック、インターフェイス、パッケージの組み合わせにより幅広い選択肢を提供します。

Trion FPGA ブロック図



- **MIPI** - MIPI D-PHY (4レーン) および CSI-2 コントローラは、ハード IP として実装され、PHY 当たり最大 6 Gbps です。MIPI CSI-2 は、低電力、低コストを実現し、ロイヤルティ無償での容易な実装が可能です。

- **LVDS** - 最大 800 Mbps の LVDS データレートをサポートします。

- **DDR** - DDR3、LPDDR3、および LPDDR2 をサポートし、最大 1066 Mbps の DDR 信号レート、最大 51.2 Gbps の帯域幅で使用可能です。ハード IP として実装された DDR 専用 PHY およびコントローラは、低電力、低コストで、容易にメモリインターフェイスの実装が可能です。

マスク・プログラマブル・メモリ (MPM)

コンフィグレーションのために貴重なボードスペースを無駄にしたいくないですか？

この機能では、外部のシリアル・フラッシュ・デバイスの代わりに、オンチップの MPM を使用して FPGA をコンフィギュレーションします。このオプションは、超小型化とより低コストが要求されるシステムに最適です。MPM は、工場出荷時にプログラム可能なワンタイムのオプションで、NRE (開発費) が必要です。MPM を実現するためには、お客様の FPGA コンフィギュレーションデータをお預かりし、それをデータマスクに変換し、専用のデバイスとして製造します。

小~中~大規模なデザインまで

Trion FPGA は、使い勝手の良いコンシューマ製品から、I/O を多用するインターフェイス、完全なシステムソリューションまで、幅広いアプリケーションをサポートします。市場投入までの時間を短縮したい場合 (モバイル、IoT、ウェアラブル)、高帯域ブリッジや I/O 拡張をしたい場合 (放送、ディスプレイ、オートメーション、ロボティクス)、完全なシステム・ソリューションを実現したい場合 (スマートホーム、カメラ、ハイエンド・インテリジェント・システム) など、お客様のニーズに合った Trion FPGA が必ず見つかります。



Trion のリソースとインターフェイス

特徴	T4	T8	T13	T20	T35	T55	T85	T120
ロジック・エレメント (LEs)	3,888	7,384	12,828	19,728	31,680	54,195	84,096	112,128
マスク・プログラマブル・メモリ	✓	✓	✓	✓	—	—	—	—
内蔵メモリ ビット (kb)	77	123	727	1,044	1,475	2,765	4,055	5,407
18x18 乗算器	4	8	24	36	120	150	240	320
PLL	1	1	5	5	6	8	8	8
最大GPIO(1)	59	59	213	213	200	388	388	388
LVDS (RX + TX)	—	—	13	13	20	56	56	56
DDR3/LPDDR3 (1066 Mbps)	—	—	—	x16	x16	x32	x32	x32
MIPI DPHY (4レーン) および MIPI CSI-2 コントローラ	—	—	2 RX 2 TX	2 RX 2 TX	2 RX 2 TX	3 RX 3 TX	3 RX 3 TX	3 RX 3 TX

(1) LVDS と DDR インターフェイスは専用の I/O を持つので、最大 GPIO はそれらのインタフェースの I/O カウントを含みません。さらに、デザインが LVDS を使用しない場合は、その専用 I/O を GPIO として使用できます。

Trion パッケージオプション

特徴	Pitch (mm)	Size (mm)	T4	T8	T13	T20	T35	T55	T85	T120
49ボール FBGA	0.4	3x3	-33 -J1L	-33 -J1L						
80ボール WLCSP	0.4	4.5x3.6				-33 -J3L				
81ボール FBGA	0.5	5x5	-55 -J1L	-55 -J1L						
144ボール LQFP	0.5	20x20		-97 -J5L ⁶						
169ボール FBGA	0.65	9x9			-73 -J5L ⁸ ₁₂ ②	-73 -J5L ⁸ ₁₂ ②				
256ボール FBGA	0.8	13x13			-195 -J5L ¹³ ₁₃	-195 -J5L ¹³ ₁₃				
324ボール FBGA	0.65	12x12				-130 -J7L ²⁰ ₂₆ ② x8 x16	-130 -J7L ²⁰ ₂₆ ② x8 x16	-130 -J7L ²⁰ ₂₆ ② x8 x16	-130 -J7L ²⁰ ₂₆ ② x8 x16	-130 -J7L ²⁰ ₂₆ ② x8 x16
400ボール FBGA	0.8	16x16				-230 -J7L ²⁰ ₂₆ ② x8 x16	-230 -J7L ²⁰ ₂₆ ② x8 x16			
484ボール FBGA	0.8	18x18						-256 -J8L ⁴⁰ ₄₀ ② x16 x32	-256 -J8L ⁴⁰ ₄₀ ② x16 x32	-256 -J8L ⁴⁰ ₄₀ ② x16 x32
576ボール FBGA	0.65	16x16						-278 -J8L ⁵² ₅₂ ③ x16 x32	-278 -J8L ⁵² ₅₂ ③ x16 x32	-278 -J8L ⁵² ₅₂ ③ x16 x32

Legend				
-n-	JL	-TX -RX	②	xn xn
GPIO	PLLs	LVDS Pairs	MIPI CSI-2 RX, TX	DDR DRAM



Efinity® ソフトウェア: デザインを簡単に

簡単な RTL~ビットストリーム フロー

Efinity IDE (統合開発環境) は、RTL デザインからビットストリーム生成までの完全なツールフローを提供します。シンプルで使いやすい GUI インターフェイス、高速なコンパイル時間、パワーユーザー向けにコマンドライン・スクリプトもサポートしており、エフィニックス FPGA プラットフォームのデザインに必要なツール全てが含まれています。

GUI インターフェイスでは、プロジェクト管理、フローの実行、フロアプランの表示、必要なインターフェイスの構築などのグラフィカル操作を提供し、コマンドライン インターフェイスでは、シミュレーションの実行やスクリプトによる自動フローなどが使用可能です。

Efinity では、FPGA コアのロジック設計と GPIO や PLL などのインターフェイスを設定するインターフェイス設計が切り離されています。

Efinity は、これらの 2 つのデザインをシグナル・インターフェイスで接続します。Efinity RTL ツールで論理設計を行

い、Efinity インターフェイス・デザイナーでインターフェイスを構築します。ソフトウェアはそれらをツールフローの中でシームレスに結びつけます。

ロジック設計とインターフェイス設計を分離することで、Efinity は他では実現できない様々なツールフローや製品に対応することができます。

ソフトウェアには、完全なデザインプロセスをサポートするための様々なツールが用意されています。IP マネージャーは、シンプルな FIFO バッファから複雑な RISC-V SoC のような IP コアを簡単に設定し、組み込むことが可能です。Efinity デバッガーは、デザインの信号をプローブするハードウェアをシステムに組み込むことができ、JTAG インターフェイス経由でデザインをデバッグすることができます。また、タイミング解析ツール、レポート、スクリプトによりデザインのタイミング検証やタイミング改善のための設定変更等が容易に行えます。ビルトイン・プログラマやスタンダード・プログラマは様々な方法でのコンフィギュレーションをサポートしています。

Floorplan Editor

The screenshot displays the Efinity Software interface. The main window is the Floorplan Editor, showing a grid of blocks and connections. A tooltip for a block is visible: "Block: (1,87) Offset: 0, Type: gbuf_ctrl_block, Name: IRWrite~Q~GBUF, Route Thru: 0". The Dashboard shows project metrics. The Console displays the following output:

```
design: 0clk - Fclk
Constraint is set to default of 0.01 ns on unexpandable clock pairs found
design: 0clk - Sclk

SDC file 'C:/Efinity/2021.1EA/project/pt_demo1/pt_demo.sdc' parsed successfully.
3 clocks (including virtual clocks), 0 inputs and 8 outputs were constrained.

Maximum possible analyzed clocks frequency
```

The Design Explorer shows the following hierarchy:

- Design : T8F81
 - Device Setting
 - I/O Banks (5)
 - GPIO (7)
 - led[0] : GPIO_L_03
 - led[1] : GPIO_L_09
 - led[2] : GPIO_L_16
 - led[3] : GPIO_L_18
 - led[4] : GPIO_L_21
 - reverse : GPIO_L_13
 - rstn : GPIO_L_12
 - PLL (0)
 - Oscillator (1)
 - JTAG User Tap (1)
 - jtag_inst1

The Property table on the right lists various pins and resources:

Instance Name	Property
1	Instance Name jtag_
2	JTAG Resource jtag_
3	Input Pin jtag_
4	Test Data Pin Name jtag_
5	Test Clock Pin Name jtag_
6	Test Mode Select Pin Name jtag_
7	User Instruction Active Pin Name jtag_
8	Gated Test Clock Pin Name jtag_
9	Reset Pin Name jtag_
10	Run Test Pin Name jtag_
11	Capture Pin Name jtag_



ソフトウェアの特徴・機能

- ・ プロジェクト管理
- ・ Verilog HDL、SystemVerilog、VHDL サポート
- ・ デザイン階層、レポートファイル等のグラフィカル表示
- ・ 各ツールをフロー/マニュアル実行するための使いやすいダッシュボード (論理合成、配置、配線、ビットストリーム生成)
- ・ 各種制約、ピン配置のためのインターフェイス・デザイナー
- ・ デザインのロジック、配置配線を確認するためのフロアプラン・エディタ
- ・ タイミングを確認するためのタイミング・ブラウザおよびスタティック・タイミング解析
- ・ タイミング解析を実行する Tcl コマンド コンソール
- ・ IP マネージャー - ウィザード形式で IP コアをカスタマイズ、生成
- ・ ハードウェア・デバッガ - JTAG インターフェイス経由でデザインの信号をプローブ
- ・ ModelSim、NCSim、もしくはフリーの iVerilogシミュレータを用いたシミュレーションフロー
- ・ エフィニクス FPGA もしくは Quantum eFPGAコアをコンフィギュレーションするためのプログラマ (GUI/コマンドライン)
- ・ OS サポート - Windows、Linux (Ubuntu、Red Hat、CentOS)



RISC-V SoC

RISC-V は、非営利の RISC-V 財団によって管理されている、RISC の設計思想に基づいたオープン標準の命令セット・アーキテクチャ (ISA) です。エフィニクスは、Charles Papon 氏が開発した VexRiscv コアをベースに、3 種類の RISC-V SoC を用意しています。2018年の RISC-V SoftCPU コンテストで 1位を獲得した VexRiscv コアは、M と C の拡張機能を持つ ISA RISC-V32I を採用した 32 ビット CPUで、5 つのパイプラインステージ (フェ

ッチ、デコード、実行、メモリ、ライトバック) を持ち、構成変更が可能な機能セットを備えています。それぞれの SoCには、RISC-V プロセッサ、メモリ、各種 I/O、ユーザ機能を追加するためのインターフェイスが搭載されています。そのため、組み込みコンピューティングとユーザ定義アクセラレータを含むシステムを、同一のFPGA で簡単に設計することができます。

Ruby SoC

キャッシュ、DDR DRAM コントローラ搭載した高性能 SoC コアで、リアルタイムシステム制御、イメージプロセッシング等の処理能力を要するアプリケーション向け

Jade SoC

性能とエリアのバランスのとれたキャッシュ搭載の汎用 SoC コアで、通信プロトコル制御、産業用オートメーション、データロギング等のアプリケーションや汎用マイコン置換用途向け

Opal SoC

エリア優先、キャッシュレスの最小構成のコンパクト SoC コアで、システム監視やリモートコンフィギュレーション、制御などの組み込み処理機能を要するアプリケーション向け

すぐに評価できる開発キット

Titanium でアプリケーションを高速化

高性能な Titanium シリーズの可能性を確認できる MIPI DSI、CSI-2、HDMI 等の各種インターフェイス搭載で、さまざまなビジョン・アプリケーションの機能評価に使用可能な開発キットです。

- Titanium Ti60 F225 開発キット

MIPI CSI-2 インターフェイス

MIPI CSI-2 を含む様々なインターフェイスが搭載されており、Raspberry Pi やその他のカメラに接続できるので、システム評価、ビジョン系評価等に最適。

- Trion T120 BGA576 開発キット
- Trion T120 BGA324 開発キット
- Trion T20 MIPI 開発キット

I/O 拡張

I/O 拡張キットは、ボード上のコネクタやヘッダーを介してほぼ全ての I/O へのアクセスが可能です。他のボードと接続したり、スタンドアロンで使用して処理機能を確認することができます。

- Trion T20 BGA256 開発キット
- Trion T8 BGA81 開発キット

小型の「ものづくり」や趣味用途

T8 FPGA を搭載したマッチ箱サイズの価格も手ごろな開発キットです。

- Xyloni (ザイロニ) 開発キット

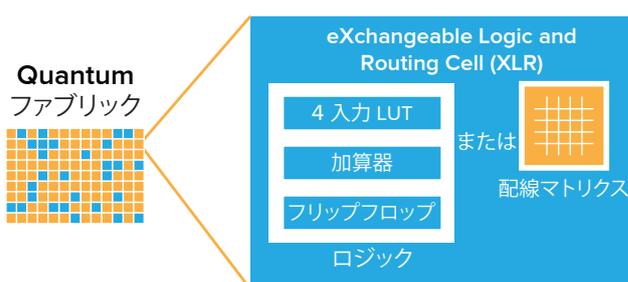
革新的な Quantum™ テクノロジ

シリコン製品に最高の電力、性能、面積 (サイズ) を提供するため、エフィニクスは、プログラマブル・テクノロジーをリードする Quantum™ アーキテクチャを設計しました。当社の目標は、機械学習、ディープラーニング、高速演算アクセラレータなどの計算集約型アプリケーションに合わせた、最も柔軟性の高いプログラマブル・テクノロジーを提供することです。

Quantum ファブリックの基本的な構成要素は、XLR (eXchangeable Logic and Routing) セルです。XLR セルは、LUT ベースのロジックセルまたは柔軟性と拡張性をもつ配線スイッチとして機能します。この革新的な技術により、アクティブエリアの利用率が従来の FPGA に比べて 4 倍に向上し、エリア効率と電力面でのメリットが得られます。

エフィニクスの FPGA は、Quantum テクノロジを採用しているため、微細なアーキテクチャ、コンフィギュラブルなロジックと配線、適応性の高いインターコネク、ハイブリッド配置配線アルゴリズムを備えています。

XLRセルは、ロジックまたは配線で使用可能



第 2 世代の Quantum コンピューティング・ファブリックは、強化された XLR セル、10K 内蔵メモリブロックおよび高効率 DSP ブロックによって性能を向上させています。このファブリックを 16nm プロセスで製造した Titanium FPGA は、メインストリーム・アプリケーションに高い性能と低消費電力をもたらします。

EFINIX-BROCHURE-JP-3.0K



東京都中央区東日本橋2-28-4
日本橋CETビル2階 (〒103-0004)
03-5875-0151
www.efinixinc.com/jp



加賀デバイス株式会社

東京都千代田区神田松永町20番地 (〒101-0023)
03-5657-0144
efinix_fae@kgdev.co.jp
www.kgdev.co.jp